

⑫ 公開特許公報(A)

昭61-166172

⑪ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)7月26日

H 01 L 29/78
G 02 F 1/133
G 09 F 9/35
H 01 L 27/12
29/52
H 05 B 33/12

118

8422-5F
8205-2H
6615-5C
7514-5F

7254-3K 審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 薄膜トランジスタ

⑮ 特 願 昭60-6872

⑯ 出 願 昭60(1985)1月18日

⑰ 発 明 者 野 村 幸 治 門真市大字門真1006番地 松下電器産業株式会社内
⑰ 発 明 者 寺 内 正 治 門真市大字門真1006番地 松下電器産業株式会社内
⑰ 発 明 者 小 川 久 仁 門真市大字門真1006番地 松下電器産業株式会社内
⑰ 発 明 者 阿 部 惇 門真市大字門真1006番地 松下電器産業株式会社内
⑱ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地
⑲ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

薄膜トランジスタ

2、特許請求の範囲

(1) ソース電極及びドレイン電極を半導体層との接続部において少なくとも2つの領域に分割したことを特徴とする薄膜トランジスタ。

(2) 半導体層のチャネル領域の幅が、ソース電極及びドレイン電極と前記半導体層との接続部での幅よりも小さいことを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

(3) ソース電極及びドレイン電極の分割されたそれぞれの領域で、半導体層も同様に分割されたことを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

(4) 半導体層がセレン化カドミウム(CdSe)から成ることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

3、発明の詳細な説明

産業上の利用分野

この発明は、液晶やEL表示装置等々に使用される薄膜トランジスタ(以下TFTと略す)に関し、特に、特定の形状からなるソース及びドレイン電極を用いて、高い信頼性を有するTFTに関するものである。

従来の技術

近年、液晶やELを用いた平面ディスプレイがCRTに変わる表示デバイスとして注目されている。特に薄膜コンデンサやTFTなどの非線形素子を用いた表示デバイスの研究開発が盛んになってきた。

TFTは一般に第4図のような構造をしている。すなわち、ガラス等の絶縁性基板15上に形成されたAl等から成るゲート電極16、Al₂O₃等から成るゲート絶縁膜17、n形またはp型の導電形を与える不純物を含んだCdSe、Si等からなる半導体層18、Al等の金属層からなるソース電極19およびドレイン電極20とから構成されている。

またゲート電極16と、ソース電極19および

ドレイン電極20との間のゲート絶縁膜17中にピンホール等の欠陥が存在すれば、絶縁破壊をひきおこし、それぞれの電極が蒸発してしまうので、それを防止するため、ゲート電極とソースおよびドレイン電極とが重ならない構造のTFTも提案されている。

発明が解決しようとする問題点

たとえば表示デバイスにTFTを用いた場合、次のような問題点が存在する。

マトリクス型EL表示装置にTFTを用いた場合を考える。第5図はマトリクス型EL表示装置の一像素の回路図を示している。すなわちソース端子が蓄積用コンデンサ C_S に接続しているスイッチングトランジスタ T_1 及びゲート端子が前記スイッチングトランジスタのソース端子に接続し、かつそのソース端子が前記蓄積用コンデンサ C_S の他方の端子と接続している電力用トランジスタ T_2 及びその一方の端子が前記電力用トランジスタ T_2 のドレイン端子に接続し、他方の端子が高周波ドライブ電源21に接続しているEL素

8 ページ

29、電力用トランジスタのゲート電極でもある蓄積用コンデンサ C_S の片側電源30として100nm程度の膜厚を有するアルミニウム層が構成されている。その上に500nm程度の膜厚を有する Al_2O_3 や Ta_2O_5 などから成る絶縁体層31が T_1 のゲート絶縁膜および C_S の誘電体薄膜層でありかつ T_2 のゲート絶縁膜として構成される。その上に T_1 、 T_2 の半導体層32、33を設け、最後に信号母線に接続している T_1 のドレイン電極34、 T_1 のソース電極35、 T_2 のドレイン電極36であり共通母線Pに接続している C_S の片側電極37、 T_2 のソース電極38が100nm程度の膜厚を有するアルミニウムから構成されている。

以上の構成から成るマトリクス型EL表示装置では、絶縁体層中の欠陥のため不良品となることしばしばあった。たとえばEL層に T_2 を介して高電圧を印加して発光させる場合、 T_2 のソース電極38とゲート電極30との間の絶縁体層31中にピンホール等の欠陥が存在すれば、絶縁破壊

予CELより構成されている。また前記スイッチングトランジスタ T_1 のドレイン端子は情報信号母線 X_1 、 X_2 ……に、ゲート端子はスイッチング信号母線 Y_1 、 Y_2 ……にそれぞれ接続され、前記蓄積用コンデンサ C_S の一方の端子及び前記電力用トランジスタ T_2 のソース端子は、前記高周波ドライブ電源21に接続する共通母線Pに接続されている。

第6図は上記マトリクス型EL表示装置の一例の斜視断面図を示している。ガラスなどの絶縁性支持基板22の上に100nm程度の膜厚を有するインジウム錫酸化物(ITO)からなる透明電極23、その上に600nm程度の膜厚を有する Y_2O_3 からなる絶縁体層24、この上に200nm程度の膜厚を有する $ZnS:Mn$ の発光体25、さらにその上に300nm程度の膜厚を有する Y_2O_3 からなる絶縁体層26からEL層27が構成されている。その上にスイッチング信号母線に接続しているスイッチングトランジスタ T_1 のゲート電極28、前記EL層27の光反射用電極

6 ページ

のため、電極部分が蒸発してなくなることがあった。

また T_1 にも同様の欠陥が存在して、ゲート電極28とドレイン電極34との間で短絡したり、漏れ電流が存在すれば情報信号母線を介して、信号がはいらず、 T_2 をON状態とすることができない。このような欠陥をなくする方法としては、ゲート電極28とドレイン電極34との間に、瞬時に大電流を投入して、欠陥部で強制的に絶縁破壊をおこさせて電氣的に開放状態とすることなどが考えられる。しかしながら、ドレイン電極の面積が小さいような場合には、上記の方法では電極のすべてが破壊してしまうことがあり、表示デバイス全体の面積が大きくなればなるほど欠陥の生じる確率が増し、歩留まりが極端に悪くなるという問題があった。

またゲート電極とソースおよびドレイン電極とが重ならない構造のTFTでは、ゲート電極で制御できない領域が存在するため、TFTの特性が悪くなるという欠点があった。

そこで本発明は、絶縁体層中の欠陥部分で絶縁破壊が生じても、一部分のみの破壊にとどめることのできる信頼性の高いTFTを提供することを旨としている。

問題点を解決するための手段

本発明は前記問題点を解決するために、ソース電極及びドレイン電極を、半導体層との接続部において少なくともふたつの領域に分割することを特徴とする。

作用

本発明のTFTでは、絶縁体層中に欠陥部が存在して、駆動中や強制的に大電流を投入するような場合に絶縁破壊が生じても、ソース電極及びドレイン電極が半導体層との接続部において少なくともふたつの領域に分割されているので、弱い部分で発生した放電がとなりの電極にまでおよんで破壊する心配がない。

実施例

以下、本発明の実施例を添付図面にもとづいて説明する。

9ページ

壊をおこさせる。この時、ソース電極3は分割されているので、電極の切れ目で破壊がとまり(図中5)、それ以上他の電極部分を破壊するのを防止することができる。

またEL層27中に T_2 を介して発光に必要な高電界を印加する時、同じくゲート電極6とソース電極9との間のゲート絶縁膜中の欠陥部で絶縁破壊が生じても、上記した理由と同様の理由で一部分のみの破壊にとどまり(図中10)、TFTとしての性能にはなんら問題はない。

第3図は他の実施例を示す。同図のように、半導体層12のチャネル領域の幅をソース電極及びドレイン電極13, 14と半導体層12との接続部での幅よりも小さくすれば、TFTのチャネル幅 W 及びチャネル長 L の比を変化することなくソース電極及びドレイン電極13, 14を数多く分割することができるため、一部の絶縁破壊によるTFTの性能の変化を最小限にとどめることができる。

また第3図bに示すように、ソース電極及びド

第1図及び第2図は本発明のTFTを第6図のマトリックス型EL表示装置中の T_1 及び T_2 に用いた場合の平面拡大図を示している。図中1, 6はそれぞれ T_1 , T_2 のゲート電極であり、ここでは100nm程度の膜厚を有するAlから成り、真空蒸着法及びホトリソグラフ技術を用いて形成される。次に Al_2O_3 等から成るゲート絶縁膜を全面に周面に周知のスパッタ法等を用いて形成し、その上に60nm程度の膜厚を有するセレン化カドミウム(CdSe)から成る半導体層2, 7を同様の方法で形成する。最後に200nm程度の膜厚を有するAlから成る T_1 のソース・ドレイン電極3, 4及び T_2 のソース・ドレイン電極8, 9を同様の方法で図に示すように半導体層との接続部において分割して形成する。

このあと T_1 のゲート絶縁膜中のピンホールやクラック等の欠陥を除去するため、第6図に示すスイッチング信号母線34と情報信号母線28との間、すなわち、ゲート電極1及びソース電極3との間に瞬時に大電流を投入して強制的に絶縁破

10ページ

レイン電極13, 14の分割されたそれぞれの領域間で、半導体層12も同時に分割されれば、半導体層を介して絶縁破壊が伝播するのをもた、防止することができ、TFTの信頼性をさらに向上させることができる。

半導体層としてセレン化カドミウムを用いた場合には、厚さが極めて薄いためゲート電極とソース・ドレイン電極間で絶縁破壊が生じやすいため、本発明による構造を有するTFTが特に有効である。

発明の効果

以上の説明から明らかなように、本発明に依れば、ソース電極及びドレイン電極を半導体層との接続部において少なくともふたつの領域に分割しているため、絶縁破壊が生じたような場合にも、ソース及びドレイン電極のすべてが破壊することではなく、TFTの信頼性を大巾に向上することができる。また製造工程を増やす必要もないので量産にも適しているため工業的価値も高い。

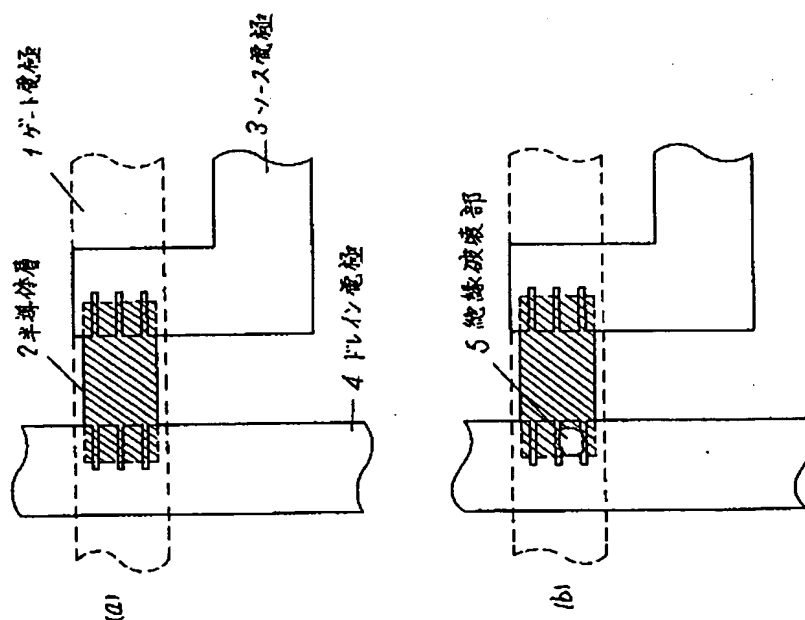
4、図面の簡単な説明

第1図、第2図及び第3図は本発明の実施例における薄膜トランジスタの要部を説明するための平面図、第4図は一般的なTFTの構造を示す断面図、第5図及び第6図は各々、従来のTFTの問題点を説明するための回路図及び斜視断面図である。

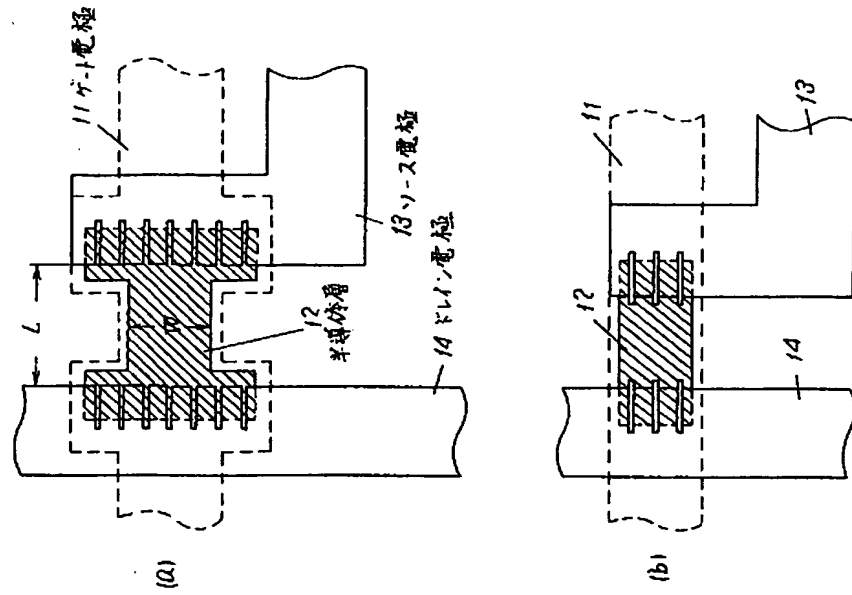
1, 6, 11……ゲート電極、2, 7, 12……半導体層、3, 8, 13……ソース電極、4, 9, 14……ドレイン電極、5, 10……絶縁破壊部。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

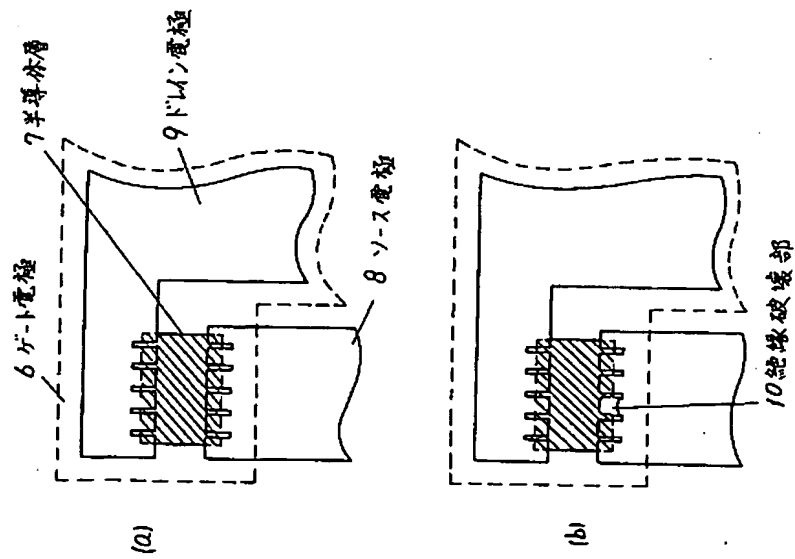
図 1
城



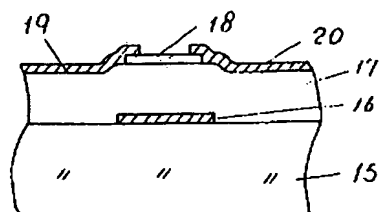
第 3 図



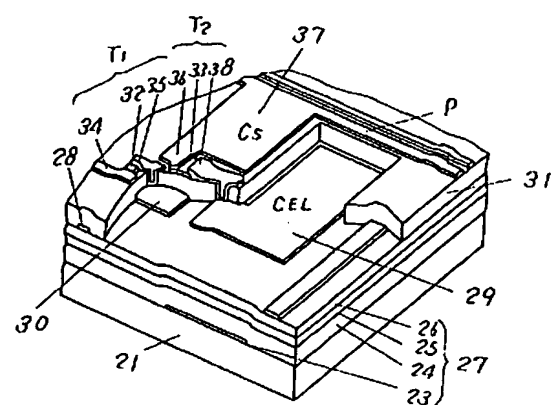
第 2 図



第 4 図



第 6 図



第 5 図

